

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-313276

(43)Date of publication of application : 09.11.2001

(51)Int.Cl.

H01L 21/304  
H01L 21/76  
H01L 21/3205

(21)Application number : 2000-130808

(71)Applicant : DENSO CORP

(22)Date of filing : 28.04.2000

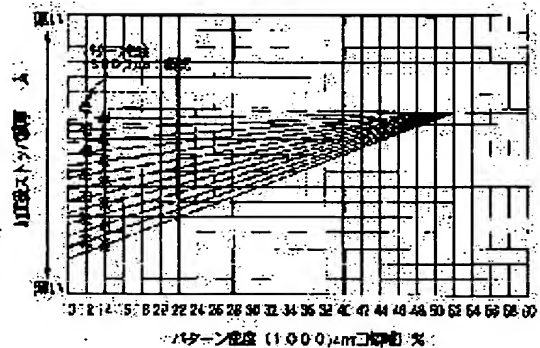
(72)Inventor : KANO FUMIYOSHI  
TANAKA YASUSHI

## (54) METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

## (57)Abstract:

PROBLEM TO BE SOLVED: To conduct a simulation of a flatness even in the case of conducting simultaneous polishing of different type materials.

SOLUTION: A method for manufacturing a semiconductor device comprises the step of predicting flatness of polishing in the case of using a stopper film by using two parameters of a value of a pattern density in a first area representing a processing pressure, and a value of a pattern density in a second area representing a selection ratio. More particularly, in this case, the method comprises the steps of obtaining a correlation of a polishing amount (residual film thickness) to the pattern density at 1,000  $\mu\text{m}^2$  with the first area as 1,000  $\mu\text{m}^2$  and the second area as 5,000  $\mu\text{m}^2$  (square), obtaining a correlation of the selection ratio of a silicon nitride film and a silicon oxide film to the pattern density at the 5,000  $\mu\text{m}^2$ , and forming a map indicating the correlation between the pattern density and the polishing amount from the set two parameters. In this case, even when the simultaneous polishing of the different type materials is conducted, the simulation of the flatness can be conducted.



## LEGAL STATUS

[Date of request for examination]

24.09.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

特開2001-313276

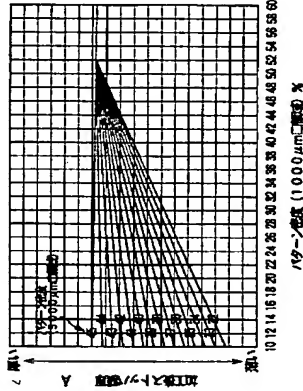
(P2001-313276A)

(53) 公開日 平成13年11月9日 (2001.11.9)

(51) Int. Cl. <sup>7</sup>	F I	ターレット (特許)
H 01 L 21/304	H 01 L 21/304	6 2 2 R 5 F 0 3 2
		6 2 2 X 5 F 0 3 3
	21/76	L
	21/3205	K
審査請求 未請求 請求項の範囲 11 OL (全 6 頁)		

(21) 出願番号	特開2000-130808 (P2000-130808)	(71) 出願人	00004280 株式会社デンソー
(22) 出願日	平成12年4月28日 (2000.4.28)	(72) 発明者	加納 史義 愛知県刈谷市昭和町1丁目1番地 株式会社 社デンソー内
		(72) 発明者	田中 靖士 愛知県刈谷市昭和町1丁目1番地 株式会社 社デンソー内
		(74) 代理人	100100022 弁理士 伊藤 祥二 (外2名)

(54) 発明の名称 半導体装置の製造方法



(57) 【要約】  
 【課題】異種材料の同時研磨を行う場合においても平坦性のシミュレーションが行えるようにする。  
 【解決手段】加工圧力を代表する第1の領域内のパターン密度の値と、選択比を代表する第2の領域内のパターン密度の値の2つのパラメータを用いることにより、ストップパターンの場合における研磨の平坦性予測を行う。具体的には、第1の領域を1000μm□、第2の領域を500μm□として、1000μm□でのパターンの密度に対する研磨量（研磨厚）の相関関係を求めると共に、500μm□でのパターンの密度に対するシリコン酸化膜とシリコン酸化膜との選択比の相関関係を求め、これら2つのパラメータからパターン密度と研磨量との相関関係を示すマップを作成する。このマップにより、異種材料の同時研磨を行う場合においても平坦性のシミュレーションを行うことができる。

## 【特許請求の範囲】

【請求項1】 凹形状のパターンを有する基板 (2) に備えられた第1の膜 (3) 上に第2の膜 (4) を配置し、前記第1の膜 (3) をストップパターとして前記第2の膜 (4) を研磨すること、前記第2の膜 (4) の表面を平坦化する半導体装置の製造方法であって、

前記基板 (2) の第1の領域内における第1パターン密度を算出すると共に、前記基板 (2) のうち前記第1の領域の4倍以上の面積を持つ第2の領域内の第2パターン密度を算出し、少なくとも前記第1パターン密度と前記第2パターン密度の2つのパラメータに基づいて前記第2の膜 (4) の平坦性を予測し、この予測された平坦性に基づいて前記第2の膜 (4) の研磨状態を制御することを特徴とする半導体装置の製造方法。

【請求項2】 前記第1の領域を1辺が1000μmの四角形の領域とすることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】 前記凹形状のパターンを複数個の所定パターンを繰り返すことによって構成し、前記第2の領域を前記所定パターンの1つの全面とすることを特徴とする請求項1又は2に記載の半導体装置の製造方法。

【請求項4】 前記第1の膜 (3) として前記第2の膜 (4) よりも研磨速度の速い膜を用いることを特徴とする請求項1乃至3のいずれか1つに記載の半導体装置の製造方法。

【請求項5】 前記第1の膜 (3) としてシリコン酸化膜を用い、前記第2の膜 (4) としてシリコン酸化膜を用いることを特徴とする請求項1乃至4のいずれか1つに記載の半導体装置の製造方法。

【請求項6】 前記第1の膜 (3) としてTaN膜又はTiN膜を用い、前記第2の膜 (4) としてタンタングステン膜を用いることを特徴とする請求項1乃至4のいずれか1つに記載の半導体装置の製造方法。

【請求項7】 前記第1の膜 (3) としてTa膜又はTi膜を用い、前記第2の膜 (4) としてCu膜を用いることを特徴とする請求項1乃至4のいずれか1つに記載の半導体装置の製造方法。

【請求項8】 前記第1の膜 (3) としてシリコン酸化膜を用い、前記第2の膜 (4) としてポリシリコン膜を用いることを特徴とする請求項1乃至4のいずれか1つに記載の半導体装置の製造方法。

【請求項9】 前記研磨の研磨材として、シリカ、アルミナ、セラミックス、酸化セリウムのいずれかを用いることを特徴とする請求項1乃至8のいずれか1つに記載の半導体装置の製造方法。

【請求項10】 前記研磨を研磨パッド (11) によって行い、該研磨パッドとしてポリウレタン材料のものをを用いることを特徴とする請求項1乃至9のいずれか1つに記載の半導体装置の製造方法。

【請求項11】 前記予測された平坦性に基づいて、前記基板 (1) にダミーパターンを形成することにより、前記第2の膜 (3) の研磨状態を制御すること、を特徴とする請求項1乃至10のいずれか1つに記載の半導体装置の製造方法。

【発明の詳細な説明】  
 【0001】  
 【発明の属する技術分野】 本発明は、半導体基板の表面を研磨して平坦化する半導体装置の製造方法に関するもので、例えば、STI (Shallow Trench Isolation) 技術による素子分離構造を有する半導体装置の製造方法に用いて好適である。

【0002】  
 【従来の技術】 半導体装置の研磨加工においては、研磨加工精度のパターン依存が発生するため、パターンが変

わると研磨条件および設計条件をその都度条件設定しなければならぬという問題がある。特に、STI技術による素子分離構造を形成する際には、ストップパターンのパターン依存が非常に大きな問題となっている。

【0003】 このため、従来より、研磨加工精度のパターン依存をシミュレーションする方法がいくつか考えられている。

【0004】 例えば、特開平9-8038号公報や特開平10-44028号公報に示されるように、パターン密度の値を利用して微細研磨を行った後の段差量と加工速度の関係をシミュレーションによって求める方法が提案されている。

【0005】 具体的に説明すると、前者は、特定領域内のパターン密度により、その領域における加工圧力が代表されることから、この代表された加工圧力に基づいて研磨後の段差量と加工速度の関係をシミュレートしており、後者は、厳密なシミュレーションではなくテストパターンのパターン密度と研磨後の段差量の関係だけを求めておき、パターン密度により加工後の段差量をシミュレートしている。

【0006】  
 【発明が解決しようとする課題】 しかしながら、特開平9-8038号公報に示された方法では、単一材料の研磨方法に対しては比較的確率にシミュレートできるが、異種材料の同時研磨への適用に際してはその加工シミュレーションが正確に得ていないこともあり、実験的に正確にシミュレートすることができない。また、特開平10-44028号公報に示された方法においても異種材料の同時研磨に際しては実験的に段差量の推定が困難である。

【0007】 本発明は上記点に鑑みて、異種材料の同時研磨を行う場合においても平坦性のシミュレーションが行えるようにすることを目的とする。

【0008】

【課題を解決するための手段】上記目的を達成するため、請求項1に記載の角明では、凹凸形状のパターンを有する第1パターン密度を算出すると共に、基板のうち第1領域の4倍以上の面積を持つ第2領域内の第2パターン密度を算出し、少なくとも第1パターン密度と第2パターン密度との2つのパラメータによって研磨後の平坦性を評価し、この評価された平坦性に基づいて第2領域の研磨状態を制御することを特徴としている。

【0009】このように、第1の領域における第1パラメータ密度から求められるパラメータ（例えば、パターン密度に対する第2の領域の研削量を示すパラメータ）と、第2の領域における第2パラメータ密度から求められるパラメータ（例えば、パターン密度に対する第1の領域の第2パラメータの選択比率を示すパラメータ）との2つのパラメータを用いることにより、第2の領域の平坦性をシミュレーションすることができる。このため、このシミュレーション結果に基づいて第2の研削状態を制御すれば、ディッピングを低減することができる。

【0010】例えば、請求項8に示すように、予測された平坦性に基づいて、基板にダメージパターンを形成することにより、第2の膜の膜の研削状態を制御することができる。

【0011】請求項2に記載の発明では、第1の領域を1辺が1000  $\mu\text{m}$ の四角形の領域とすることを特徴としている。このようにすれば、シミュレーションによる、平坦性や平坦性差に起因して平坦性との差を少なくすることができた。

【0012】また、請求項3に示すように、四角形の領域を複数の所定パターンの繰り返しによって構成する場合、第2の領域を所定パターンの1つの全面とすることができる。

【0013】なお、請求項4に示すように、第1と第2の膜の厚みが異なり、第1の膜の厚みが第2の膜の厚み程度より薄い場合、第1の膜と第2の膜との積層構造を適用することができる。例えば、請求項5に示すように、第1の膜と第2の膜とをシリコン酸化膜を用い、また、請求項6に示すように、第1の膜と第2の膜とをシリコン酸化膜を用いることができる。また、請求項7に示すように第1の膜としてTaN膜を用いることができ、第2の膜としてTaC膜を用いることができる。さらに、請求項8に示すように第1の膜としてシリコン酸化膜を用い、第2の膜としてシリコン窒化膜を用いることができる。

【0014】また、研磨の研磨材としては、請求項9に示すようにシリカ、アルミナセラミックス、酸化セリウムを用いることができる。また、請求項10に示すよう

(11) を用いることができる。

【0015】なお、上記各手段の括弧内の符号は、後述する実施形態に記載の具体的手段との対応関係を示すものである。

【0016】  
【発明の実施の形態】（第1実施形態）図1に、半導体基板表面の研磨に使用されるCMP（Chemical mechanical polish）装置10の概略図を示す。また、図2に、図1に示すCMP装置を用いてCMP研磨を行った際のヘッド13近傍の断面図を示す。

【0017】図1、図2に示すように、CMP装置10は、ポリウレタン製の糸から研布11aと硬研布11bとが積層された研布（研布パッド）11と、研布11が固定された定盤12と、半導体基板1を搬取り付けるヘッド13と、研布11の状態を整えるコーティング液供給部14と、アルカリ液（例えばKOH水溶液）とシリカ砥粒のコロイド溶液であるスラリー15を吐出するスラリー供給部15とを備えている。

【0018】そして、半導体基板1のうちの平坦化する表面が研磨層11側に位置するように半導体基板1をヘッド113に固定したのち、スラリ供給部15によってスラリ15aを供給しつつ、ヘッド113によって半導体基板1を定盤12に押圧させた状態で定盤12及びヘッド113を図中の矢印のように回転させることで、研磨層11によって半導体基板1の表面を平坦化できるようになっている。

【0019】このように構成されたCMP装置10を用いて、シリコン基板にST1構造による素子分離構造を形成することを目的とした平坦化工程を施す。

【0020】図2に示すように、研磨対象となる素子分離基板1は、シリコン基板2表面にシリコン窒化膜(第1)3を形成したのち、シリコン基板2表面に選択的に溝部を形成し、この溝部内を埋め込むようにシリコン窒化膜3上にシリコン酸化膜(第2)4を配置することによって形成される。

【0002】このような構成の半導体基板1のうち、シリコンポリゴン領域4側の表面を研磨層11側に向け、例えば、加工圧力（ハット圧）を定数12に押圧する圧力（ヘッド圧）を0.2MPa～0.5MPaとし、定数12とヘッド圧との向位速度を共に60～120rpmとし、シリコンポリゴン領域3をストロップとしたCMP研磨を行う。

【0003】この際、パターンに密着があるため、図3に示すようなパターン依存によるディッシングが発生し得る。このディッシングが半導体装置の歩留まり低下等の問題に発着させることがあるため、ディッシングを事前にシミュレーションすることが必要である。

【0023】そこで、以下の方法により、ディッシングのシミュレーションを行った。このシミュレーション方法の詳細について説明する。

【0024】まず、図1に示すCMF装置を用いて異なる2種類のパターン（Aパターン、Bパターン）が形成された半導体基板1を研削し、それぞれのパターンに対して例えば1000 $\mu\text{m}$ の領域内のパターン密度を求め、加工後のストロパノパットの現像厚との関係を求めた。その結果、図4に示す関係が得られた。

【0025】この図に示されるように、パターン密度が同等であっても、パターンが異なると加工後のシロコン酸化膜3の膜厚（以下、ストッパ膜厚という）が異なるという結果となった。そのため、単一のパターン密度パ  
ラメータだけでは加工後の平坦性をシミュレートすること  
ができない。

【0026】続いて、パターン密度とストロップ厚との関係性を調べたとき第1の領域（1000  $\mu\text{m}$ ）よりも大きい第2の領域、例えば5000  $\mu\text{m}$ の領域内のパターン密度を求め、実測的にシリコン酸化膜4とシリコン窒化膜3の選択比との関係性を求めた。具体的には、異なるパターンが形成された半導体基板上を研磨し、加工工程パターンを一定として、所定の厚厚となるまでにかかった時間を計測することによって上記選択比の高低を調べた。その結果、図5に示す関係性が得られた。

【0027】この図から得るように、シリコン酸化膜4とシリコン窒化膜3の導電比とパターン密度とは相関関係にあることが認められる。この導電比とパターン密度ととの相関関係について様々な実験を行ったところ、好適なパターン密度を測定するために、パターン密度とストローク第2の領域との関係を調べたときの第1の領域よりも大きなパターン密度におけるパターン密度が4倍の面積となり、好ましくは第2の領域が第1の領域の4倍の面積となるように行われればよいことが得られた。

【0028】従って、加工主力を代表する第1の領域内のパターンのパターンの値と、選択比を代表させることができ第1の領域よりも大きな第2の領域内のパターンの値の2つのパラメータを用いることにより、ストッパを用いる場合における研削の平坦性・平潤が可能となる。

【0029】すなわち、これら2つのパラメータを用い、上記選択比の結果と研磨後のストッパ膜厚との相関を取ることで、第1の領域内のパターン密度の値と第2の領域内のパターン密度の2つのパラメータを用いたマップを作成することが可能となる。

【0030】そこで、第1の領域を $1000\mu\text{m}$ □、第2の領域を $500\mu\text{m}$ として、パターン密度が異なる半導体基板を用いた実験を行った。例えば、 $1000\mu\text{m}$ □のバターン密度が異なる半導体基板に対して、研究条件を一定としたCMP研削を行い、加工後のバターン形状をプロットするという実験を行った。

【0031】これにより、図6に示すように、第1の領域内のパターン密度の値と第2の領域内のパターン密度

の航の2つのパラメータを用いたマップが作成され、このマップを用いて平坦性をシミュレートすることが可能となる。

【0032】このように、研磨による平坦性がシミュレーションによって予測できれば、製品パターンレイアウトを変更してパターン密度を増減させたり、ダミーパターンを挿入することによってパターン密度を増加させたり、研磨加工条件を変更したりすることにより、研磨による平坦性を向上させることが可能となる。

【0033】なお、第1の領域の面積を変えてストップパルス発生期間の推定値と出来映えの悪劣を調べたところ、図7に示す結果が得られた。この図から判るように、第1の領域の面積が $1000\mu\text{m}^2$ 程度となる時に最も悪劣が小さくなる。このことから、第1の領域の面積を $1000\mu\text{m}^2$ 程度とするのが好ましいといえる。

【00034】(他の実施形態)上記実施形態では第1の領域を1000  $\mu\text{m}$ □、第2の領域を5000  $\mu\text{m}$ □の領域としたが、第2の領域のパラメータ等によりこれらの値はそれぞれに最適な値が存在するため、値自体を規定する必要はない。ただし、図々1の領域の4倍以上の面積を持つ第2の領域は、少なくとも第1の領域の4倍以上の面積を持つ第2の領域を規定することで好適に研削挙動をシミュレーションすることが可能であった。

【0035】なお、上記実施形態では研布11を柔ら  
かにした研布11aと硬い研布11bとの積層体で構成  
したが、硬い研布11bの単体であっても良い。ま  
た、研布剤としてシリカ系のスラリー15aを用いたが、  
シリカ系のもの以外、例えばアルミナセラミックス、酸  
セリウム等を用いてもよい。

【0036】また、本案は異種材料の同等研削であればタングステン (W)、Cu、ポリシリコン等の材料の研究に對しても適用可能である。

【図面の簡単な説明】  
【図１】本発明の第１実施形態に適川されるCMP装置を示す模式図である。

【図2】図1に示すCMP装置を用いたときの研磨の様子を示す図である。

【図3】図1に示すCMP装置を用いて研磨を行った後のディッシングを説明するための図である。

【図4】パターン密度と加工後ストツノ膜厚との関係を示す図である。

【図5】パターン密度と選択比との関係を実験により調べた結果を示す図である。

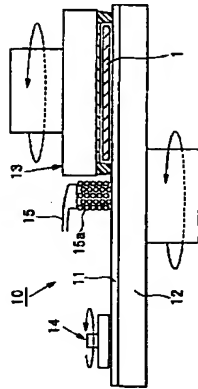
【図6】第1、第2の領域におけるパターン密度と加工後スロット幅との関係を実験により調べた結果を示す図である。

【図7】ストッパ膜厚と出来映えの誤差との関係を示すものである。

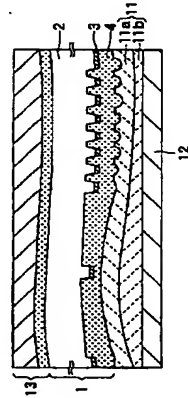
【符号の説明】  
1…半導体基板、2…シリコン基板、3…シリコン酸化

膜、4...シリコン酸化膜、10...CMP装置。

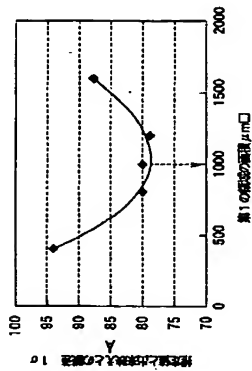
【図1】



【図2】



【図7】



フロントページの続き

ドターム(参考) 5F032 AA34 AA44 AA46 AA77 DA33

DA78

5F033 HH04 HH11 HH18 HH19 HH21

HH32 HH33 QQ37 QQ48 QQ49

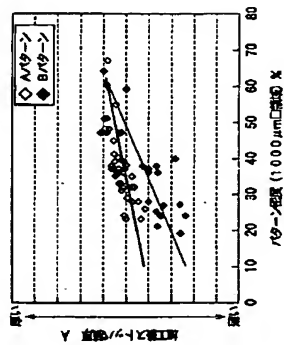
QQ50 RR04 RR06 UU07 VV01

WW01 XX01

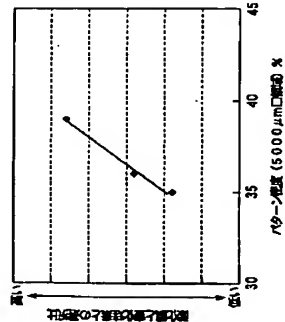
【図3】



【図4】



【図5】



【図6】

